

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Docket No.: 50006-128

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Makoto NAGATA, et al.

Serial No.:

Group Art Unit:

Filed: October 17, 2001

Examiner:

For: METHOD AND APPARATUS FOR ANALYZING A SOURCE CURRENT
WAVEFORM IN A SEMICONDUCTOR INTEGRATED CIRCUIT

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

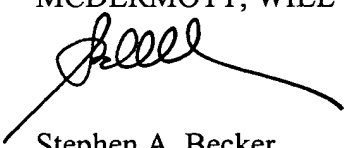
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2001-026795, filed February 2, 2001

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:prp
Date: October 17, 2001
Facsimile: (202) 756-8087

PATENT



50006-128
NAGATA et al.
October 17, 2001
McDermott, Will & Emery

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2001年 2月 2日

出 願 番 号
Application Number:

特願2001-026795

出 願 人
Applicant(s):

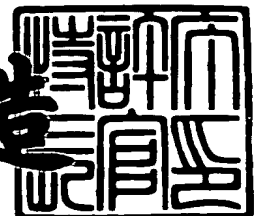
株式会社半導体理工学研究センター



2001年 6月19日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3057669

【書類名】 特許願
【整理番号】 175151
【提出日】 平成13年 2月 2日
【あて先】 特許庁長官殿
【国際特許分類】 G01R 29/26
H01L 21/82
G06F 17/50

【発明者】

【住所又は居所】 広島県広島市南区段原 2 - 1 - 2 9 コンフォートNビル I I 7 0 7 号

【氏名】 永田 真

【発明者】

【住所又は居所】 広島県東広島市鏡山 2 - 3 6 0 - 1 - 3 0 1

【氏名】 岩田 穆

【特許出願人】

【識別番号】 396023993

【住所又は居所】 東京都港区新橋 6 丁目 1 6 番 1 0 号

【氏名又は名称】 株式会社半導体理工学研究センター

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9608010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路における電源電流波形の解析方法及び解析装置

【特許請求の範囲】

【請求項 1】 複数の論理ゲート回路からなるデジタル回路を含む半導体集積回路の電源電流波形を解析する方法であって、

前記デジタル回路を、該デジタル回路に含まれる論理ゲート回路のスイッチング動作分布に基づいて電源とグラウンド間に接続されて充電される寄生容量の時系列からなる寄生容量列および静的に充電状態にある寄生容量群として表現し、該寄生容量列の一方の電極、静的に充電状態にある容量群の一方の電極、電源経路の寄生インピーダンス成分を接続し、該寄生容量列の他方の電極、静的に充電状態にある容量群の他方の電極、グラウンド経路の寄生インピーダンス成分を接続して解析モデルを生成し、該解析モデルを用いて前記デジタル回路の電源電流波形を求めることを特徴とする電源電流波形の解析方法。

【請求項 2】 前記寄生容量列および静的に充電状態にある寄生容量群を、デジタル回路内部の電源配線及びグラウンド配線の寄生インピーダンスが局所的に増大する部分を境としてデジタル回路を複数のセグメントに分割した場合の各セグメントに属する論理ゲート回路群ごとに生成することを特徴とする請求項 1 記載の電源電流波形の解析方法。

【請求項 3】 前記寄生容量列の各寄生容量は所定の時間間隔毎に求められ、該時間間隔の長さは各寄生容量が求められる時間領域における論理ゲート回路のスイッチング動作の発生頻度分布に応じて設定されることを特徴とする請求項 1 記載の電源電流波形の解析方法。

【請求項 4】 前記時間間隔の長さは、各寄生容量が求められる時間領域における論理ゲート回路のスイッチング動作の発生頻度が大きいほど短く設定されることを特徴とする請求項 3 記載の電源電流波形の解析方法。

【請求項 5】 前記充電される寄生容量は、被解析デジタル回路に含まれる論理ゲートの入出力容量から求められることを特徴とする請求項 1 記載の電源電流波形の解析方法。

【請求項 6】 半導体集積回路に生じる電源電流が電源経路及びグラウンド

経路の寄生インピーダンスと相互作用して発生する電圧変動を半導体集積回路に発生する基板雑音とみなし、請求項 1 ないし請求項 5 のいずれか 1 つに記載の電源電流解析方法を用いて前記基板雑音を解析することを特徴とする基板雑音解析方法。

【請求項 7】 アナログ回路及びデジタル回路を混在して含む半導体集積回路の設計方法において、

設計仕様を取得するステップと、

該設計仕様に基きアナログ回路及びデジタル回路を設計するステップと、

請求項 6 記載の基板雑音解析方法を用いて前記デジタル回路が発生する基板雑音を解析するステップと、

該基板雑音の解析結果に基いて前記設計仕様に適合するようにアナログ回路及びデジタル回路、またこれらの回路の配置やガードバンドの配置を再設計するステップと

からなることを特徴とする半導体集積回路の設計方法。

【請求項 8】 複数の論理ゲート回路からなるデジタル回路を含む半導体集積回路の電源電流波形を解析する装置であって、

前記デジタル回路を、該デジタル回路に含まれる論理ゲート回路のスイッチング動作分布に基づいて電源とグラウンド間に接続されて充電される寄生容量の時系列からなる寄生容量列および静的に充電状態にある寄生容量群として表現し、該寄生容量列の一方の電極、静的に充電状態にある容量群の一方の電極、電源経路の寄生インピーダンス成分を接続し、該寄生容量列の他方の電極、静的に充電状態にある容量群の他方の電極、グラウンド経路の寄生インピーダンス成分を接続して解析モデルを生成する手段と、

該解析モデルを用いて前記デジタル回路の電源電流波形を求める手段とからなることを特徴とする電源電流波形の解析装置。

【請求項 9】 前記寄生容量列および静的に充電状態にある寄生容量群を、デジタル回路内部の電源配線及びグラウンド配線の寄生インピーダンスが局所的に増大する部分を境としてデジタル回路を複数のセグメントに分割した場合の各セグメントに属する論理ゲート回路群ごとに生成することを特徴とする請求項 8

記載の電源電流波形の解析装置。

【請求項 1 0】 前記寄生容量列の各寄生容量は所定の時間間隔毎に求められ、該時間間隔の長さは各寄生容量が求められる時間領域における論理ゲート回路のスイッチング動作の発生頻度分布に応じて設定されることを特徴とする請求項 8 記載の電源電流波形の解析装置。

【請求項 1 1】 前記時間間隔の長さは、各寄生容量が求められる時間領域における論理ゲート回路のスイッチング動作の発生頻度が大きいほど短く設定されることを特徴とする請求項 1 0 記載の電源電流波形の解析装置。

【請求項 1 2】 前記充電される寄生容量は、被解析デジタル回路に含まれる論理ゲートの入出力容量から求められることを特徴とする請求項 8 記載の電源電流波形の解析装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、大規模半導体集積回路の設計技術に関し、特に、大規模半導体集積回路における論理回路の電源電流の解析手法及びそれを用いた回路設計技術に関する。

【 0 0 0 2 】

【従来の技術】

大規模半導体集積回路(以下「L S I」という。)における電子素子の微細化に伴い、L S I 内部に搭載するデジタル回路の規模拡大と動作速度の向上がすすんでいる。近年、大規模デジタル回路の動作時に回路に流れる電源電流の変化により発生する雑音を起因とした、L S I およびその応用システムの性能劣化が顕著な問題になっている。

【 0 0 0 3 】

図 1 0 に、アナログ・デジタル混載半導体集積回路(以下「A D 混載 L S I」という。)の一構成例を示す。チップ外部からのアナログ信号を高精度にデジタル値化するアナログ・デジタル変換回路(A D C)、内部のデジタル回路に高速クロック信号を供給するクロック生成回路(P L L)などのアナログ回路と、マイク

ロプロセッサ(CPU)やデジタル信号処理プロセッサ(DSP)など信号処理の主体となるデジタル回路とが1つの半導体チップ上に混載されている。

【0004】

このようなAD混載LSIでは、デジタル回路の発生する基板雑音が、シリコン基板内部あるいはLSIチップを搭載するパッケージ、プリント基板の配線等を経由してアナログ回路に漏れ混み、アナログ回路動作に影響し、ADCの変換精度の劣化や、PLLのクロック周波数のゆらぎの増大を生じ、この結果チップ全体の動作性能の劣化や誤動作を引き起こすことが知られている。

【0005】

この基板雑音の主たる発生要因は、デジタル回路の電源電流が、回路内部の電源配線と、グラウンド配線と、外部電源とLSIチップを接続する電源経路及びグラウンド経路上に寄生するインピーダンスを流れる際に、物理法則に基いて Ri や Ldi/dt 等の電源電流の変化に応じた電圧変動が生じることにある。

【0006】

また、LSIの発生する電磁波雑音は、周囲の電子回路の動作と干渉し、その性能を劣化させる。電磁波雑音の発生は、デジタル回路の電源電流の変化を反映した電磁気学的相互作用に基づいている。

【0007】

これらの雑音の発生量は、電源電流の変化量に強く依存することが明らかである。そこで、LSI設計者が効果的に性能劣化回避策を施すための設計支援技術として、大規模デジタル回路ブロックにおける電源電流波形を高速かつ精度良く見積もるための解析手法が強く求められている。

【0008】

従来の電源電流波形の解析手法には次のようなものがある。第1の方法は、デジタル回路全体をトランジスタレベルに展開して、回路シミュレータを用いて過渡解析を実施し、電源電流波形を求める方法である。第2の方法は、デジタル回路を構成する論理ゲートそれぞれの消費電流波形を、スイッチング動作時に発生する負荷容量の充放電電荷がスイッチング時間程度の時間で移動するとした三角波形で近似し、これをデジタル回路全体で重ね合わせて電源電流波形とする方法

である。(K. Shimazaki, H. Tsujikawa, S. Kojima, and S. Hirano, "LEMINGS: LSI's EMI-Noise Analysis with Gate Level Simulator," Proceedings of IEEE-ISQED2000)

【 0 0 0 9 】

【発明が解決しようとする課題】

上記の従来手法には次のような問題があった。第1の方法は高い解析精度を得られるが、大規模デジタル回路では回路シミュレーションの実行時間が非常に大きくなるため、低雑音化のための電源／グラウンド系の設計最適化など、設計条件ごとに本手法によるシミュレーションを繰り返して実行することが必要な用途には適していない。第2の方法は論理シミュレータを利用できるため高速化が期待できる。しかしながら、実際のデジタル回路内部では、論理ゲートのスイッチング動作の初期過程として、周辺寄生容量との電荷再分布による高速な充放電電荷の移動が生じ、この後に外部電源からスイッチング時間の数倍以上大きい時定数を伴った電荷供給が進行する。第2の手法にはこの過程が含まれていないため、精度の高い電源電流波形の再現が難しく、前述のように電源電流の時間変化に敏感な雑音解析には適していない。

【 0 0 1 0 】

本発明は、上記課題を解決すべくなされたものであり、その目的とするところは、デジタル回路内部の電荷再分布過程を考慮した高精度な電源電流波形解析を可能にし且つ高速に処理可能な電源電流の解析方法及び解析装置を提供することにある。さらに、本発明は、高精度かつ高速な電源電流波形解析方法を利用した基板雑音解析方法及びLSIの低雑音化設計方法を提供することも目的とする。

【 0 0 1 1 】

【課題を解決するための手段】

本発明に係る電源電流解析方法は、複数の論理ゲート回路からなるデジタル回路を含む半導体集積回路の電源電流波形を解析する方法であって、デジタル回路を、そのデジタル回路に含まれる論理ゲート回路のスイッチング動作分布に基づいて電源とグラウンド間に接続されて充電される寄生容量の時系列からなる寄生容量列および静的に充電状態にある寄生容量群として表現し、その寄生容量列の

一方の電極、静的に充電状態にある容量群の一方の電極、電源経路の寄生インピーダンス成分を接続し、かつ寄生容量列の他方の電極、静的に充電状態にある容量群の他方の電極、グラウンド経路の寄生インピーダンス成分を接続して解析モデルを生成し、その解析モデルを用いてデジタル回路の電源電流波形を求める。

【 0 0 1 2 】

上記の電源電流解析方法において、寄生容量列および静的に充電状態にある寄生容量群を、例えば、配線幅の大きく異なる幹線／支線のつなぎ目や、配線層間のつなぎ目など、デジタル回路内部の電源配線及びグラウンド配線の寄生インピーダンスが局所的に大きく増大する部分を境としてデジタル回路を複数のセグメントに分割した場合の各セグメントに属する論理ゲート回路群ごとに生成してもよい。

【 0 0 1 3 】

上記の電源電流解析方法において、寄生容量列の各寄生容量は所定の時間間隔毎に求められ、時間間隔の長さは各寄生容量が求められる時間領域における論理ゲート回路のスイッチング動作の発生頻度分布に応じて設定されてもよい。

【 0 0 1 4 】

例えば、時間間隔の長さは各寄生容量が求められる時間領域における論理ゲート回路のスイッチング動作の発生頻度が大きいほど短くなるように設定されてもよい。

【 0 0 1 5 】

上記の電源電流解析方法において、充電される寄生容量は、被解析デジタル回路に含まれる論理ゲートの入出力容量から求めることができる。

【 0 0 1 6 】

本発明に係る基板雑音解析方法は、半導体集積回路に生じる電源電流が電源経路及びグラウンド経路の寄生インピーダンスと相互作用して発生する電圧変動を半導体集積回路に発生する基板雑音とみなし、上記の電源電流解析方法を用いて基板雑音を解析する。

【 0 0 1 7 】

本発明に係る設計方法は、アナログ回路及びデジタル回路を混在して含む半導

体集積回路の設計方法において、設計仕様を取得するステップと、設計仕様に基づきアナログ回路及びデジタル回路を設計するステップと、上記の基板雑音解析方法を用いてデジタル回路が発生する基板雑音を解析するステップと、基板雑音の解析結果に基づいて設計仕様に適合するようにアナログ回路及びデジタル回路、またこれらの回路の配置やガードバンドの配置を再設計するステップとからなる。

【 0 0 1 8 】

本発明に係る電源電流解析装置は、複数の論理ゲート回路からなるデジタル回路を含む半導体集積回路の電源電流波形を解析する装置であって、デジタル回路を、そのデジタル回路に含まれる論理ゲート回路のスイッチング動作分布に基づいて電源とグラウンド間に接続されて充電される寄生容量の時系列からなる寄生容量列および静的に充電状態にある寄生容量群として表現し、その寄生容量列の一方の電極、静的に充電状態にある容量群の一方の電極、電源経路の寄生インピーダンス成分を接続し、かつ寄生容量列の他方の電極、静的に充電状態にある容量群の他方の電極、グラウンド経路の寄生インピーダンス成分を接続して解析モデルを生成する手段と、その解析モデルを用いてデジタル回路の電源電流波形を求める手段とからなる。

【 0 0 1 9 】

上記の電源電流解析装置において、寄生容量列および静的に充電状態にある寄生容量群を、例えば、配線幅の大きく異なる幹線／支線のつなぎ目や、配線層間のつなぎ目など、デジタル回路内部の電源配線及びグラウンド配線の寄生インピーダンスが局所的に大きく増大する部分を境としてデジタル回路を複数のセグメントに分割した場合の各セグメントに属する論理ゲート回路群ごとに生成してもよい。

【 0 0 2 0 】

上記の電源電流解析装置において、寄生容量列の各寄生容量は所定の時間間隔毎に求められ、時間間隔の長さは各寄生容量が求められる時間領域における論理ゲート回路のスイッチング動作の発生頻度分布に応じて設定されてもよい。

【 0 0 2 1 】

例えば、時間間隔の長さは寄生容量が求められる時間領域における論理ゲート

回路のスイッチング動作の発生頻度が大きいほど短くなるように設定されてもよい。

【 0 0 2 2 】

上記の電源電流解析装置において、充電される寄生容量は、被解析デジタル回路に含まれる論理ゲートの入出力容量から求めることができる。

【 0 0 2 3 】

【発明の実施の形態】

以下、本発明に係る電源電流波形の解析方法、解析装置の実施形態について、添付の図面を参照して説明する。

【 0 0 2 4 】

<電源電流解析モデルの概念>

最初に、本発明に係る電源電流波形の解析方法に用いる電源電流の解析モデルの概念について説明する。

【 0 0 2 5 】

本発明に係る電源電流波形の解析方法では、大規模デジタル回路における電源電流の形成にはデジタル回路内部の個々の論理ゲートのスイッチング動作における負荷容量の充電過程のみが主として寄与することに着目し、大規模デジタル回路を、内部論理ゲート回路のスイッチング動作分布に基づいて時系列的に電源とグラウンドとの間に接続される寄生容量列として表現し、これを充放電する電流として電源電流波形を求める。ここで、個々の論理ゲートのスイッチング動作における負荷容量の放電過程は、それ以前の充電過程による負荷容量の充電電荷を、論理ゲート内部の局所的な短絡電流により消失する過程であり、従って放電過程の電源電流への寄与は近似的に無視できると考えられる。

【 0 0 2 6 】

具体的には、図 1 に示すように、大規模デジタル回路を、電源配線及びグラウンド配線に対する接続関係が論理状態によってスイッチングされる負荷寄生容量の集合として扱う。大規模デジタル回路の内部動作は、その機能は無視して内部論理ゲートのスイッチング動作のみに着目すると、ある時間内に立ち上がり遷移する論理ゲートに寄生する容量群 (ΣC_{\uparrow})、立ち下がり遷移する論理ゲートに

寄生する容量群 (ΣC_{\downarrow}) 及びその時間内には状態が変化しない論理ゲートに寄生する容量群 (ΣC_{st}) の集合として等価回路化できる。図 1 に示すように等価回路において、各寄生容量に対し、その寄生容量の一端を電源配線又はグラウンド配線に接続又は遮断するスイッチ素子が設けられている。論理ゲートのスイッチング動作は、電源配線とグラウンド配線間の寄生容量の接続状態を切替えるスイッチ素子のスイッチング動作により適切に表現できる。

【 0 0 2 7 】

また、図 1 において、デカップリング容量や CMOS デバイスにおけるウェル容量等のブロック内部に静的に存在する寄生容量を C_s 、電源経路とグラウンド系路上の寄生インピーダンスをそれぞれ Z_d 、 Z_g としている。ここで、立ち上がり遷移とは、論理ゲートの出力が Low (グラウンド配線の電位に等しい出力) から High (電源配線の電位に等しい出力) に変化しようとする動作を、立ち下がり遷移とは、論理ゲートの出力が High から Low に変化しようとする動作を意味する。

【 0 0 2 8 】

上記の容量群はデジタル回路が形成されている半導体チップ内部で高密度に分布しているため、容量間を接続する電源配線やグラウンド配線のインピーダンスは小さく、無視できる。従って、活性な論理ゲートに寄生する容量 C_{\uparrow} 及び C_{\downarrow} と、静的な状態にある容量 C_{st} 及び C_s との間で高速な電荷再分布が生じ、この結果、論理ゲートの高速スイッチング動作が実現されている。ここで、静的な状態にある容量 C_{st} 及び C_s は電荷再分布過程の電荷溜として機能している。他方、充電されるべき電荷量が最終的には外部電源から供給される。この過程において、充電は寄生インピーダンス Z_d 、 Z_g を経由するため、以下に示す程度の時定数 τ を伴った電源電流が生じ、この結果、基板雑音はスイッチング動作に比べ数倍以上ゆっくりした変化を示す。

$$\tau = (Z_d + Z_g) \cdot (\Sigma C_{\uparrow} + \Sigma C_{\downarrow} + \Sigma C_{st} + C_s) \quad \cdots (1)$$

【 0 0 2 9 】

(寄生容量列の時分割化)

デジタル回路動作の進行に伴う電源電流の時間変化を求めるため、寄生容量列

の各容量を時分割して時系列表現する。このため、図 2 (a) ~ (c) に示すように、前述の等価回路に周期 T と、時分割した区間 (以下「時区間」という。) の番号 n を導入する。また、立ち上がり遷移する論理ゲートに寄生する容量群 $\Sigma C_{\uparrow}(nT)$ 及び立ち下がり遷移する論理ゲートに寄生する容量群 $\Sigma C_{\downarrow}(nT)$ を、それぞれ放電される容量群 $\Sigma C_{dis}(nT)$ と充電される容量 $\Sigma C_{ch}(nT)$ とに分類して総和をとる。なお、図 2 において、容量 C_{xx} に対する表記「 $C_{xx}(nT)$ 」は、第 n 番目の時区間における容量 C_{xx} を表す。

【 0 0 3 0 】

図 2 (a) に示すように、第 n 番目の時区間での立ち上がりスイッチング動作における寄生容量群 $\Sigma C_{\uparrow}(nT)$ は、放電される容量群 $\Sigma C_{dis}(nT)$ と充電される容量群 $\Sigma C_{ch}(nT)$ とに分類される。同様に図 2 (b) に示すように、第 n 番目の時区間での立ち下がりスイッチング動作における寄生容量群 $\Sigma C_{\downarrow}(nT)$ は、放電される容量群 $\Sigma C_{dis}(nT)$ と充電される容量群 $\Sigma C_{ch}(nT)$ とに分類される。図 2 (a)、(b) において、放電される容量はスイッチング動作により短絡して放電され、他方、充電される容量はスイッチング動作により電源配線とグランド配線間に接続され充電される。

【 0 0 3 1 】

第 n 番目の時区間で電荷再分布により移動する電荷量 $Q(nT)$ は電源電圧を V_{dd} として次のように表せる。

$$Q(nT) = (\Sigma C_{\uparrow}(nT) + \Sigma C_{\downarrow}(nT)) \cdot V_{dd} \quad \cdots (2)$$

このうち放電電荷 $Q_{dis}(nT)$ 、充電電荷 $Q_{ch}(nT)$ はそれぞれ次式で表される。

$$Q_{dis}(nT) = (\Sigma C_{dis,\uparrow}(nT) + \Sigma C_{dis,\downarrow}(nT)) \cdot V_{dd} \quad \cdots (3)$$

$$Q_{ch}(nT) = (\Sigma C_{ch,\uparrow}(nT) + \Sigma C_{ch,\downarrow}(nT)) \cdot V_{dd} \quad \cdots (4)$$

【 0 0 3 2 】

放電電荷 $Q_{dis}(nT)$ は主に各論理ゲートで短絡電流により消失し、他方、充電電荷 $Q_{ch}(nT)$ は電源から新たに供給され、デジタル回路内部に分散して蓄積される。ここで、外部電源の役割は常に $Q_{ch}(nT)$ を供給することである。

【 0 0 3 3 】

すべてのエネルギー $E_{ch}(nT) (= Q_{ch}(nT) \cdot V_{dd})$ は、この過程で消費され、

デジタル回路に蓄えられる静電エネルギー ($= E_{ch}/2$) が後の放電過程でどのように散逸するかには関係しない。従って、ある時区間 (第 n 番目の時区間) で充電される容量群 $\Sigma C_{ch, \uparrow}(nT)$ 、 $\Sigma C_{ch, \downarrow}(nT)$ を電源配線とグラウンド配線間に接続し、次の時区間 (第 $n+1$ 番目の時区間) でこれらの容量を短絡放電することにより電源配線、グラウンド配線から切り放しても外部電源の役割に影響しない。この過程を時区間毎に次々に繰り返し、各時区間の充電過程で電源経路、グラウンド系路上の寄生インピーダンスの作用により定まる電流波形を線形に重ね合わせることで、デジタル回路の連続動作における電源電流波形が得られる。この結果、デジタル回路内の電荷再分布の効果がモデルに取り込まれ、実際のデジタル回路における電荷移動現象に忠実な電源電流波形解析が可能になる。

【 0 0 3 4 】

ここで時系列に充電される寄生容量の集合 $\{\Sigma C_{ch, \uparrow}(nT), \Sigma C_{ch, \downarrow}(nT)\}$ を、「時分割寄生容量列」と呼ぶ。図 2 の (c) に、時分割寄生容量列の第 n 番目の時区間における動作の様子を示す。 $\Sigma C_{ch, \uparrow}(nT)$ 及び $\Sigma C_{ch, \downarrow}(nT)$ の容量が電源配線とグラウンド配線間に接続され、同時に第 $(n-1)T$ 番目の時区間に接続されていた $\Sigma C_{ch, \uparrow}((n-1)T)$ 及び $\Sigma C_{ch, \downarrow}((n-1)T)$ の容量が短絡される。また、その他の時区間の容量は短絡状態にある。各容量成分は、論理合成後のデジタル回路のネット接続情報に基づいて、あらかじめ既知である論理ゲートの入出力容量及び仮想的な配線長から推定可能であり、さらに、レイアウト以後であれば、レイアウト・データから抽出した論理ゲート間信号配線の寄生容量も含めることで、より高精度に求めることができる。

【 0 0 3 5 】

なお、時系列分割する際の時間間隔 $T (= \Delta t)$ は必ずしも全ての時間領域において均等に設定する必要はなく、論理ゲート回路のスイッチング動作の発生頻度分布に応じて変化させてもよい。例えば、スイッチング動作の発生頻度に応じて変化させてもよい。つまり、発生頻度が大きい時間領域ほど、時分割する際の時間間隔 $T (= \Delta t)$ が小さくなるように連続的に最適に割り当ててもよく、これにより、解析に要する処理時間を短縮することができる。

【 0 0 3 6 】

なお、各時区間で充電される容量は、一般にデジタル回路全体の寄生容量の総和に比べて十分小さい。そこで、静的に充電状態にある寄生容量群を、デジタル回路全体の寄生容量の総和に等しいとして近似し、単一の容量にまとめて（図2（c）の C_s に相当）、電源経路およびグラウンド経路上間にその寄生インピーダンス成分よりもデジタル回路側に挿入する。

【0037】

（セグメント化）

電源経路、グラウンド系路上の寄生インピーダンス Z_d 、 Z_g の主成分は、小規模なデジタル回路ではLSIチップの内部と外部電源とを接続するボンディングワイヤ、パッケージのリードフレーム及びプリント基板上の配線に寄生するインピーダンスが支配的であり、電源電流解析においてこれらのインピーダンス成分のみを考慮しても問題はない。これに対し、大規模なデジタル回路ではその電源配線、グラウンド配線の引き回し距離の増大により、チップ内部の金属配線に寄生するインピーダンスも考慮する必要が生じる。

【0038】

そこで、本実施形態では、大規模デジタル回路の電源配線、グラウンド配線を、例えば、配線幅の大きく異なる幹線／支線のつなぎ目や、配線層間のつなぎ目など、その寄生インピーダンスが局所的に増大する部分を境としてセグメント分割し、それぞれのセグメントに接続されている論理ゲート群毎に時分割寄生容量列を求める。このセグメント分割の態様は電源配線、グラウンド配線のレイアウト上の引き回し方に依存するが、例えば、図3（a）に示すような標準的なセルベースLSI設計のように水平方向の論理セル列の電源配線41、グラウンド配線43が垂直方向配線51、53により束ねられている場合は、水平方向の電源配線41及びグラウンド配線43毎に（すなわち論理セル列毎に）一つのセグメント M_1, M_2, \dots として定義することで実現できる。各セグメント M_1, M_2, \dots は電源 V_{dd} に対して図3（b）に示すような接続関係を有する。

【0039】

他方、セグメントについても静的に充電状態にある寄生容量群を、セグメント内部のデジタル回路全体の寄生容量の総和に等しいとして近似し、単一の容量に

まとめて、電源経路およびグラウンド経路上間にその寄生インピーダンス成分よりもデジタル回路側に挿入する。

【 0 0 4 0 】

以上のように電源電流解析モデルは、大規模デジタル回路における電源電流の形成にはデジタル回路内部の個々の論理ゲートのスイッチング動作における負荷容量の充電過程のみが主として寄与することに着目し、大規模デジタル回路を、内部論理ゲート回路のスイッチング動作分布に基づいて時系列的に電源とグラウンドとの間に接続され充電される寄生容量列と、静的に充電状態にある寄生容量群として表現する時分割寄生容量列として求められる。より好ましくは、時分割寄生容量列は、寄生インピーダンスが局所的に増大する部分を境として分割されたセグメント毎に求められる。

【 0 0 4 1 】

<解析精度の改善>

上記の解析モデルにおいては、論理ゲート回路のスイッチング動作時に生じる電源－グラウンド間の直接短絡電流による電荷ロスを考慮していないが、この電荷ロスをも考慮することによって解析精度をより向上させることができる。

【 0 0 4 2 】

論理ゲート回路では、そのスイッチング動作時に、スイッチング時間(T_{sw})よりも小さい瞬間的な電源短絡経路及びグラウンド短絡経路が回路内部に形成される。ここで失われる電荷(Q_{sc}) (以下「短絡電荷」という。)は、CMOSインバータ回路を例にすれば、回路を構成するN型およびP型MOSFETのしきい電圧およびベータ値をそれぞれ等しく V_{th} 、Betaとし、また、回路の電源電圧を V_{dd} として、近似的に次式で与えられる。

$$Q_{sc} = \{ \text{Beta} / (24 \cdot V_{dd}) \} \cdot (V_{dd} - 2 \cdot V_{th})^3 \cdot T_{sw} \quad (5)$$

【 0 0 4 3 】

この過程は、スイッチング動作による電荷 Q_{dis} の放電過程及び電荷 Q_{ch} の充電過程と並列に進行し、短絡電荷 Q_{sc} も電荷再分布過程により周辺の電荷溜から供給される。

【 0 0 4 4 】

しかしながら放電電荷 Q_{dis} とは異なり、外部電源は短絡電荷 Q_{sc} と等量の電荷を電荷 Q_{ch} に加えて供給しなければならないので、短絡電荷 Q_{sc} に相当する容量を充電容量に加えることでこの過程を等価的に表現できる。

【0045】

すなわち、次式より求められる容量 C_{sc} を各ゲート回路の立ち上がりおよび立ち下がり容量（負荷容量テーブル、表1）に補正值として加えることで、時分割寄生容量列モデルに短絡電荷 Q_{sc} の効果を取り込むことができ、これによって、より高い解析精度が得られる。

$$Q_{sc} = C_{sc} \cdot V_{dd} \quad (6)$$

【0046】

一般にデジタル回路の設計において、スタンダードセルのBetaは基本値およびその整数倍程度に規格化されていること、また理想的にはスイッチング時間 T_{sw} はほぼ一定になるようにスタンダードセルが選択されることから、容量 C_{sc} は定数として求めておけばよい。

【0047】

MOSFETの微細化につれて、回路のスイッチング性能が向上し、これによりスイッチング時間 T_{sw} は低減し、同時にデバイス信頼性の確保から電源電圧 V_{dd} は低く設定される。短絡電荷 Q_{sc} はスイッチング時間 T_{sw} の1乗および電源電圧 V_{dd} の2乗に比例するので、結局、短絡電荷 Q_{sc} が時分割寄生容量列モデルに与える誤差はMOSFETの微細化とともに小さくなる。したがって、近年のデジタル回路の電源電流解析に本モデルを適用する上では、初期近似的には短絡容量を無視しても差し支えないと考えられる。

【0048】

<大規模デジタル回路の電源電流解析方法>

次に、上記解析モデルを用いて大規模デジタル回路の電源電流解析を行なう方法を説明する。図4は、この電源電流波形の解析方法のフローチャートである。本解析方法は5つの処理S1～S5から構成される。

【0049】

入力処理S1においては、電源電流解析対象となる被解析デジタル回路につい

てのハードウェア記述言語（例えばVerilog HDL）形式のゲートレベルのネットリスト又は回路記述言語（例えばSPICE）形式のトランジスタレベルのネットリストを生成する。また、被解析デジタル回路を動作させるための入力信号を記述したテストベクタも生成する。また、図3に示したような電源配線41及びグラウンド配線43毎にセグメント分割を行うため、各セグメントごとに電源ノードとグラウンドノードの名称を割り当て、論理ゲート又は回路素子とセグメントとの接続関係をネットリスト中に明示的に与える。なお、セグメント化しない場合は論理ゲート又は回路素子とセグメントとの接続関係をネットリスト中に明示的に与えなくてもよい。また、デジタル回路内部の論理ゲートの動作遅延時間を正しく反映した解析を行うためには、レイアウトから抽出した信号配線遅延モデル又は信号配線寄生素子の情報をネットリストに含めるのが好ましい。

【0050】

回路ノード接続解析処理S2においては、被解析デジタル回路のネットリストを解析してそのデジタル回路に対する負荷容量テーブルを生成する。負荷容量テーブルは、表1に示すように、被解析デジタル回路に含まれる各論理ゲートの出力ノードの立ち上がり遷移時の負荷容量値と、その立ち下がり遷移時の負荷容量値と、その論理ゲートの属するセグメントとを関連付けたテーブルである。このため、ネットリストから被解析デジタル回路に含まれる論理ゲートの出力ノードを抽出し、抽出した各出力ノードに対して、論理ゲートの立ち上がりスイッチング時及び立ち下がりスイッチング時のそれぞれにおいて充電される負荷容量値 $C_{ch\uparrow}$ 、 $C_{ch\downarrow}$ を求める。負荷容量値は、あらかじめ抽出されている出力容量、後段論理ゲート群の入力容量成分及び配線容量成分から、立ち上がり及び立ち下がりスイッチング時に充電される容量成分を算出して得ることができる。

【表1】

＜負荷容量テーブル＞

出力ノード	セグメント属性	立ち上がり 充電負荷容量	立ち下り 充電負荷容量
N_1	M_1	$C_{ch \uparrow, 1}$	$C_{ch \downarrow, 1}$
N_2	M_3	$C_{ch \uparrow, 2}$	$C_{ch \downarrow, 2}$
N_3	M_1	$C_{ch \uparrow, 3}$	$C_{ch \downarrow, 3}$
N_4	M_2	$C_{ch \uparrow, 4}$	$C_{ch \downarrow, 4}$
...
N_n	M_x	$C_{ch \uparrow, n}$	$C_{ch \downarrow, n}$

【 0 0 5 1 】

スイッチング動作記録処理S3においては、被解析テストベクタに対する、被解析デジタル回路の全論理ゲートの出力ノードのスイッチング動作状態を時間領域において解析し、記録する。具体的には、被解析テストベクタに対して、被解析デジタル回路の全論理ゲートの出力ノードのスイッチング動作が、ある時区間においてどのように遷移しているのかを解析する。このため、被解析デジタル回路に対し、そのネットリストの記述形式に対応した時間領域シミュレータを用いて、被解析テストベクタを用いて時間領域の動作シミュレーションを実行し、全出力ノードのスイッチング時刻とスイッチング方向とを記録する。ここで、スイッチング方向は、スイッチング動作が立ち上がり遷移か、立下り遷移かを示す。より具体的には、被解析テストベクタに対し、表2に示すように、所定の時区間毎に、各出力ノード N_1 、 N_2 、...が立ち上がり遷移しているのか、立下り遷移しているのか、または、状態変化なしであるのかを解析し、記録する。

【表2】

<スイッチング動作記録>

	時 区 間				
	T_1	T_2	T_3	...	T_m
N_1	↓	↑	↑	...	↓
N_2	↑	↑	↓	...	↑
N_3	↓	↓	↑	...	↑
N_4	—	↑	↓	...	↓
...	↑	—	↑	...	—
N_n	—	—	—	...	↑

(↑…立ち上がり遷移、↓…立ち下がり遷移、—…状態変化なし)

【 0 0 5 2 】

時分割寄生容量列モデル生成処理S4では、前述のスイッチング動作記録処理S3で記録されたスイッチング動作のそれぞれについて、セグメント毎且つ時間軸方向の分割区間毎に、充電される負荷容量の総和を算出する。具体的には、表3に示すように、各セグメントに対して、充電される負荷容量の総和 C_{xy} (x : 対応するセグメント、 y : 対応する時区間) を各時区間毎に求めた時分割寄生容量列テーブルを生成する。なお、表3中、 i, j はそのセグメント M_x 、時区間 T_y に含まれる、立ち上がり、立ち上がりスイッチングノードの充電寄生容量を指す。以下のような時分割寄生容量列テーブルは、一の被解析デジタル回路に関してテストベクタ毎に作成される。

【表3】

<時分割寄生容量列テーブル>

時 間 →

		← Δt →	← Δt →			
		T_1	T_2	T_3	...	T_m
セグメント	M_1	C_{11}	C_{12}	C_{13}	...	C_{1m}
	M_2	C_{21}	C_{22}	C_{23}	...	C_{2m}
	M_3	C_{31}	C_{32}	C_{33}	...	C_{3m}
	M_4	C_{41}	C_{42}	C_{43}	...	C_{4m}

	M_n	C_{n1}	C_{n2}	C_{n3}	...	C_{nm}

($C_{xy} = \sum C_{ch \uparrow, i} + \sum C_{ch \downarrow, j}$)

【 0 0 5 3 】

時分割寄生容量列テーブルにおいて、一のセグメント M_x に対する一の時区間 T_y における負荷容量の総和 C_{xy} は具体的に次のようにして求める。まず、セグメント M_x に含まれる全ての出力ノードを負荷容量テーブル（表 1）を参照して特定する。特定した各出力ノードに対し、スイッチング動作記録（表 2）を参照し、時区間 T_y における動作状態（立ち上がり／立ち上がり／状態変化なし）を確認し、各出力ノードに対する、その動作状態に応じた負荷充電容量 $C_{ch \uparrow, i}$ 、 $C_{ch \downarrow, j}$ を負荷容量テーブル（表 1）を参照して求める。このようにして求めた各出力ノードの動作状態に応じた負荷充電容量を合計して負荷容量の総和 C_{xy} を求める。

【 0 0 5 4 】

その後、回路記述言語形式で、各電源配線とグラウンド配線毎に分割されたセグメント M_i ($i=1, 2, \dots$) ごとにサブサーキット化した時分割寄生容量列ネットリストを生成する。時分割寄生容量列ネットリストにおいて時分割寄生容量列の各容量は図 2 (c) に示すようにスイッチ素子と組み合わせて記述される。スイッチ素子は、対をなす容量をある時区間 (i) において電源とグラウンド間に挿入

して充電させ、次の時区間 ($i+1$) では局所的に放電させるように時間軸上で動作する。

【 0 0 5 5 】

電源電流解析処理 S5 においては、上記のようにして求めた時分割寄生容量列ネットリストに対し、デジタル回路と外部電源との間、また、必要であれば、セグメント間に適切な配線インピーダンス成分を追加した後、そのネットリストに対して回路シミュレータの過渡解析機能により電源電流波形解析を行う。

【 0 0 5 6 】

以上述べたように、上記の電源電流解析方法によれば、時分割寄生容量列モデルにおいて大規模デジタル回路を、時間軸上で時区間ごとに充電される容量列として記述することにより、デジタル回路内部の電荷再分布過程を含んだ高精度な電源電流波形解析を高速に実行可能なシミュレーション手法を実現できる。時分割寄生容量列モデル生成のために、数十万から数百万論理ゲート規模の被デジタル回路について被動作テストベクトルごとに一度だけ高精度な時間領域動作シミュレーションの実行が必要である。これには時間がかかるが、一度モデルを生成してしまえば、以後はこのモデルを用いることにより、各時区間ごとに唯一の容量のみが解析対象となるため、極めて高速なシミュレーションが可能になる。従って、電源／グラウンド配線系のインピーダンスによる電源電流波形の影響評価や、雑音発生量評価、また低雑音化のためのデカップリング回路の最適設計、電磁波発生量評価等、異なる条件下での電源電流シミュレーションの繰り返し実行が要求される設計項目の高効率化が実現できる。

【 0 0 5 7 】

<大規模デジタル回路の電源電流解析装置>

図 5 に、上記の電源電流波形の解析方法を実施する電源電流解析装置の機能ブロック図を示す。本装置の各機能ブロック 11～15 は前述の解析方法の各ステップに対応する。本装置の機能は例えば CPU を備えたコンピュータシステムにおいて所定のプログラムを実行させることにより実現できる。

【 0 0 5 8 】

入力処理部 11 においては、電源電流解析対象となる被解析デジタル回路につ

いてのハードウェア記述言語形式のゲートレベルのネットリスト又は回路記述言語形式のトランジスタレベルのネットリストを入力する。また、被解析デジタル回路を動作させるための入力信号を記述したテストベクタも入力する。図 3 に示したような電源配線及びグラウンド配線毎にセグメント分割を行うため、各セグメントごとに電源ノードとグラウンドノードの名称を割り当て、論理ゲート又は回路素子とセグメントとの接続関係をネットリスト中に明示的に与える。なお、セグメント化しない場合は論理ゲート又は回路素子とセグメントとの接続関係をネットリスト中に与える必要はない。デジタル回路内部の論理ゲートの動作遅延時間を正しく反映した解析を行うためには、レイアウトから抽出した信号配線遅延モデル又は信号配線寄生素子の情報をネットリストに含めるのが好ましい。

【 0 0 5 9 】

回路ノード接続解析処理部 1 2 においては、被解析デジタル回路のネットリストを解析してそのデジタル回路に対する負荷容量テーブル（表 1 参照）を生成する。負荷容量テーブルは記録手段 2 1 に格納される。

【 0 0 6 0 】

スイッチング動作記録処理部 1 3 においては、被解析テストベクタに対する、被解析デジタル回路の全論理ゲートの出力ノードのスイッチング動作状態を時間領域において解析し、記録する。具体的には、被解析テストベクタに対して、被解析デジタル回路の全論理ゲートの出力ノードのスイッチング動作が、ある時区間においてどのように遷移しているのかを解析する。このため、スイッチング動作記録処理部 1 3 は、被解析デジタル回路に対し、被解析テストベクタを用いて時間領域の動作シミュレーションを実行し、全出力ノードのスイッチング時刻とスイッチング方向とをスイッチング動作記録（表 2 参照）として記録手段 2 3 に記録する。

【 0 0 6 1 】

時分割寄生容量列モデル生成処理部 1 4 では、スイッチング動作記録を参照し、スイッチング動作のそれぞれについて、セグメント毎且つ時間軸方向の分割区間毎に分類し、各セグメントに対して各時区間毎に、充電される負荷容量の総和を算出して時分割寄生容量列テーブル（表 3 参照）を作成する。その後、回路記

述言語形式で、各電源配線とグラウンド配線毎に分割されたセグメントごとにサブサーキット化した時分割寄生容量列ネットリストを生成し、記録手段 2 5 に記録する。

【 0 0 6 2 】

電源電流解析処理部 1 5 においては、上記のようにして求めた時分割寄生容量列ネットリストに対し、デジタル回路と外部電源との間、また、必要であれば、セグメント間に、静的に充電状態にある容量と適切な配線インピーダンス成分を挿入する。電源電流解析処理部 1 5 は回路の過渡解析機能を有するシミュレータ、例えば回路シミュレータを有しており、この過渡解析機能により最終的に得られたネットリストに対して電源電流波形解析を行う。

【 0 0 6 3 】

＜電源電流波形の解析方法の応用例＞

以下に上記の電源電流の解析方法の応用例をいくつか説明する。

【 0 0 6 4 】

（応用例 1：基板雑音解析）

上記の電源電流解析方法を用いて、汎用的なデジタル回路であるシフトレジスタが発生する基板雑音の波形を解析した。ここでは、シフトレジスタの動作に起因する電源電流が電源経路及びグラウンド経路に挿入した線形抵抗器(1ohm)に流れることで生じる電圧変動を半導体集積回路に発生する基板雑音とみなし、上述の電源電流解析方法を用いて基板雑音波形の解析を行なった。

【 0 0 6 5 】

試験回路は、8ビット・シフトレジスタ 2 個からなるブロックが 1 0 個同じ入力に接続され且つ並列に動作する構造を有する。ここで、8ビット・シフトレジスタは、0. 6 μ m CMOS 技術で設計されたスタンダード・セルライブラリに含まれる標準的な D 型フリップフロップ(DFF)を 8 つ従属接続した構成であり、試験回路に含まれる総素子数は 1 0, 0 0 0 個程度である。本試験回路について、0. 6 μ m CMOS 技術(P 型基板-N 型シングルウェル構造)におけるデバイス・パラメータを用いてフルトランジスタレベルで記述した回路ネットリストをもとに回路シミュレーションを実行し、時間間隔が $T = 2 5 0 \text{ ps}$ 及び $T = 1 0 \text{ ps}$ の

2つの場合について各区間内の充電容量値を抽出し、時分割寄生容量列を作成した。また、各区間で充電される容量値は、試験回路全体の電源配線とグラウンド配線間の寄生容量に比べて十分に小さいため、この試験回路の電源／グラウンド配線間に寄生する全容量成分の総和を、電荷溜として機能する静的状態にある容量成分 C_s とした。

【 0 0 6 6 】

図6に、電源配線とグラウンド配線の寄生インピーダンスを直列抵抗成分 $R_p = 1$ のみとした場合の解析結果を示す。この場合、基板雑音波形は電源電流そのものを示している。図中、左から、(a)フルトランジスタレベル記述ネットリスト（従来方法）、(b) $T = 10\text{ ps}$ のモデル（本発明）、(c) $T = 250\text{ ps}$ のモデル（本発明）を用いた場合であり、またシフトレジスタの入力データが"00000000","00110011","01010101"の3通りの場合の基板雑音波形が上段、中段、下段にそれぞれ示されている。フルトランジスタレベル記述ネットリストによる解析結果を基準波形としている。上記の3通りの入力パターンで回路内部の活性化の程度が異なるが、どちらのモデルでも(a)により得られる波形に良く一致した波形が得られており、本モデルにより正確に電源電流が解析されていることが明らかである。200 nsの期間の解析に要したCPU時間を比較すると、(a)では2500秒程度かかるのに対し、(b)及び(c)はともに10秒以下であり、250倍以上の高速化が達成されている。

【 0 0 6 7 】

本試験回路および基板雑音検出回路を搭載したテストチップを、先に述べた $0.6\text{ }\mu\text{mCMOS}$ 技術で試作した。本試験回路を、前述した時分割寄生容量列の作成時と同じように動作させた場合の、基板雑音の実測波形を図7に示す。一方、本試験回路に対して作成した $T = 250\text{ ps}$ の時分割寄生容量列モデルを用いて、電源配線とグラウンド配線の寄生インピーダンスに直列インダクタ成分 $L_p = 10\text{ nH}$ を含めた場合の基板雑音のシミュレーション波形を図8に示す。それぞれ、動作するシフトレジスタ対の数により活性化状態を変化した場合についての基板雑音波形も示している。図7、図8に示した実測及びシミュレーション波形はその周波数成分や振幅の相対的な大小関係が定性的によく一致しており、本モデ

ルにより基板雑音の発生を精度良く再現できていることがわかる。なお、両者の基板雑音振幅の絶対値の相違は、実測波形には基板雑音が雑音発生点から基板中を伝搬して検出回路に至るまでの減衰効果が含まれることに因る。これは、本モデルを基板の抵抗メッシュモデル等と組み合わせて解析することで容易に再現でき、定量的な評価が可能になる。

【 0 0 6 8 】

この例では、試験回路が形成されている P 型基板がそのグラウンド配線に低インピーダンスで接続されていることから、基板雑音発生の主要因がグラウンド配線上の電圧変動の基板への漏れ込みであるとして解析している。得られた結果は、本基板雑音解析手法により実用上十分な精度で基板雑音を再現できていることを示している。しかしながら、時分割寄生容量列モデルによる電源電流解析において無視できた寄生容量の放電電流について、その短絡経路に部分的に基板が含まれる可能性がある。この電流による基板電位変動を別に扱うことで、特に局所的な基板雑音成分をさらに高精度に解析することができる。

【 0 0 6 9 】

(応用例 2 : 低雑音論理回路の設計最適化)

本発明に係る解析方法は、例えば特許第 2 9 9 7 2 4 1 号の低スイッチング雑音論理回路における電源電流波形および基板雑音の解析に適用可能であり、雑音低減化設計の最適化にも活用できる。ここで、この特許の低スイッチング雑音論理回路は、デジタル回路を構成する CMOS 論理回路の電源側、グラウンド側端子の少なくとも一方に静電容量を付加し、その静電容量（付加容量）が付加された端子と静電容量との間に抵抗要素（付加抵抗）を接続し、論理素子のオン、オフ時の充放電を緩慢化することでピーク電流による雑音を低減するものである。

【 0 0 7 0 】

具体的には、本解析方法により、付加抵抗で区分されたデジタルサブブロック領域（CMOS 論理回路で構成されている）について時分割寄生容量列モデルを作成し、付加容量、付加抵抗及び本モデルからなる回路を回路シミュレーションすることで付加抵抗を流れる電源電流を解析する。また、デジタルブロック全体の電源電流はサブブロックの電源電流の総和として得られる。この総和の電源電

流が電源配線インピーダンス及びグラウンド配線インピーダンスに流れることによる電位変動を解析することで、基板雑音を評価する。各サブブロックの電源電流量、ブロックの基板雑音発生量から、ブロック分割の最適化が可能になる。

【 0 0 7 1 】

(応用例 3 : 電磁波雑音解析)

大規模かつ高速化の進んだ先端 V L S I においては、電源電流の変化が極めて大きくなり、この結果生じる電磁場環境の変動が周辺装置に影響し、誤動作を引き起こす。V L S I において電源配線上に形成される電源電流のループ状経路はアンテナとして作用し、これを通過する電源電流の変動により電磁波ノイズが放射される。電磁波ノイズの強度は、電流の時間変化量 (dI/dt) の 1 乗以上に比例することが知られている。従って、電磁ノイズの予測には高精度な電源電流波形の予測が不可欠である。本発明の解析方法によれば、先の応用例に示した通り L S I 内部の電源電流波形を高精度に解析できることから、電磁ノイズの予測にも適用できる。

【 0 0 7 2 】

(応用例 4 : A D 混載 L S I における対雑音設計最適化)

図 1 0 に例示した A D 混載 L S I の設計においては、各々個別に設計の完了したアナログ回路およびデジタル回路のレイアウトブロックを、同一チップ上に配置配線して統合する。このとき、各々の回路について個別に保証されていた回路性能はデジタル回路動作時の雑音の影響を受けて劣化する。このため、A D 混載チップ上での各回路の動作時の実性能を予測し、チップ性能が設計仕様に適合するように雑音対策を施す設計手法が要求される。雑音の影響の低減手法としては、例えば、各回路間の電源配線とグラウンド配線の分離、デカップリング回路の導入、各回路間へのガードバンドの挿入、各回路の時間軸上での動作タイミングの分離、アナログ回路の耐雑音設計、デジタル回路の低スイッチング雑音化設計等があげられる。A D 混載 L S I において低雑音化設計のためには、基板雑音解析を行ないながら、上記のような雑音低減手法を用いて回路の最適化を図ることが必要である。

【 0 0 7 3 】

以下に、本発明に基づく基板雑音解析を応用した A D 混載 L S I における低雑音化設計フローを図 9 を用いて説明する。

【 0 0 7 4 】

図 9 のフローを説明する前にアナログ回路及びデジタル回路の設計時に参照されるライブラリについて説明する。一般に、A D 混載 L S I を設計する際には、既設計のアナログ回路の情報が登録されたライブラリと、既設計のデジタル回路の情報が登録されたライブラリとが利用される。特に、デジタル回路について言えば、ライブラリには、回路情報として回路のゲートレベル又は動作記述レベルのハードウェア記述モデル（ネットリスト）、レイアウト、テストベクタ等の設計データが登録されている。本例では、これらの情報に加えて、前述の基板雑音解析方法を利用するため、ライブラリに登録されるデジタル回路に関し、各機能動作毎のテストベクタに対して時分割寄生容量列モデルが作成され、ライブラリに登録されている。

【 0 0 7 5 】

図 9 を参照し、まず、A D 混載 L S I の設計仕様を取得する（S 2 1）。

【 0 0 7 6 】

その設計仕様に適合するように、アナログ回路及びデジタル回路の設計を行なう（S 2 2）。回路設計は、ライブラリに登録されたアナログ及びデジタル回路の中から設計仕様に適合するものをそれぞれ選定する。アナログ回路については、ライブラリに登録された回路中から選定した回路の全部あるいは一部を改良して利用する場合や、設計仕様に適合するように新規に設計して登録したものを利用する場合がある。デジタル回路の設計については、ライブラリに登録された既設計回路を利用する場合と、新規に設計して登録したものを利用する場合とがある。設計仕様に適合するように回路を新規に設計した場合は、新規設計した回路の情報をライブラリに登録した後に選定する。特に、デジタル回路について新規設計したときは、デジタル回路の設計過程で、各機能についてのゲートレベルでの動作検証時に種々のテストベクタに対して時分割寄生容量列を生成し、これをライブラリに登録する。

【 0 0 7 7 】

設計したアナログ回路およびデジタル回路をそれぞれブロックとして同一チップのレイアウト上で配置配線する（S 2 3）。それとともに、先に述べた雑音低減手法を導入する。ブロックレベルの配置配線後に、各ブロックの寄生容量値の総和と、電源配線及びグラウンド配線それぞれの寄生インピーダンス成分をレイアウトから抽出する。また、チップ実装時のパッケージや実装ボード上に寄生するインピーダンス成分の予測値を準備する。さらに、各回路やガードバンドの配置、電源配線、グラウンド配線およびウェル、基板コンタクト配置等のチップ表面のレイアウト構造を表現した等価回路と、これらを搭載する半導体基板の等価回路とを組み合わせたLSIチップ全体のチップ等価回路を作成する。

【 0 0 7 8 】

その後、チップ全体の機能、性能を評価する。このために、チップ全体の動作解析を実施する（S 2 4）。このために、ハードウェア記述したデジタル回路と、回路記述あるいはハードウェア記述を含むアナログ回路とをアナログ・デジタル混載シミュレーションで解析する従来の方法を用いる。一方、チップ全体での基板雑音解析を実施し、各回路に到達する基板雑音を解析するとともに、雑音低減化手法を導入、最適化する（基板雑音解析は、ライブラリに登録された時分割寄生容量列モデルを用いて前述の方法により行なう。）。このために、被解析デジタル回路を上述の時分割寄生容量列モデルに置き換え、先に抽出した各ブロックの寄生容量値の総和に等しい静的な容量と、電源配線又はグラウンド配線の寄生インピーダンスと接続して雑音発生源として動作させる。

【 0 0 7 9 】

このように、アナログ回路と雑音発生源および先に生成したチップ等価回路を解析し、基板雑音によるアナログ回路の性能劣化を評価する。この結果を、チップ全体の動作解析に反映させることで、チップ全体の性能評価が可能になる。

【 0 0 8 0 】

以上の解析結果から、チップ全体の機能、性能が設計仕様に適合するか否かを判定する（S 2 5）。設計仕様に適合していなければ、再度回路設計ステップ（S 2 2）に戻り、予測された基板雑音に対してより効果的な雑音低減化が得られるように、アナログ回路の設計変更を行なう。例えば、ブロックレベルでの配置

配線変更およびブロック間へのガードバンドの挿入あるいはアナログ回路ブロックの耐雑音性を高める設計変更などを施す。チップ全体の性能評価の結果が設計仕様に適合するようになるまで上記ステップ（S22～S25）を繰り返す。性能が設計仕様に適合したときに、本処理を終了し、後段の設計処理に進む。

【0081】

以上のように、ライブラリにおいて、デジタル回路に対するネットリスト等の回路情報とともに時分割寄生容量列モデルを設計データの一つとして予め登録しておくことにより、LSI設計時においてデジタル回路に対する基板雑音解析が高速且つ正確に実行できる。これにより、AD混載LSIの設計時における対雑音設計の最適化が容易に実施できる。

【0082】

【発明の効果】

本発明の電源電流解析方法によれば、電流解析において大規模デジタル回路を時間軸上で時区間ごとに充電される寄生容量列および静的に充電状態にある寄生容量群として記述した解析モデルを用いることにより、デジタル回路内部の電荷再分布過程を含んだ高精度な電源電流波形解析を高速に実行可能なシミュレーション手法を実現できる。

【0083】

また、上記の電源電流解析方法において、寄生容量列および静的に充電状態にある寄生容量群を電源配線及びグラウンド配線の寄生インピーダンスが局所的に増大する部分を境として分割したセグメント毎に求めてもよく、これにより、さらに解析精度を向上できる。

【0084】

また、上記の電源電流解析方法において、寄生容量の時系列を求める際の時間間隔を論理ゲート回路のスイッチング動作の発生頻度分布に応じて設定してもよい。これにより解析処理の高速化が図れる。

【0085】

例えば、時間間隔の長さをスイッチング動作の発生頻度が大きいほど短くなるように設定することにより、解析処理の高速化を図るとともに精度のよい解

析結果が得られる。

【 0 0 8 6 】

また、上記の電源電流解析方法において、充電される寄生容量は被解析デジタル回路に含まれる論理ゲートの入出力容量から求めることができ、容易に寄生容量を求めることができる。

【 0 0 8 7 】

本発明の基板雑音解析方法によれば、上記の電源電流解析方法を用いるため、高精度且つ高速に基板雑音波形の解析結果が得られる。

【 0 0 8 8 】

本発明の半導体集積回路の設計方法によれば、上記の基板雑音解析方法を用いるため、より好適な低雑音化設計が可能となる。

【 0 0 8 9 】

本発明の電源電流解析装置によれば、電流解析において大規模デジタル回路を時間軸上で時区間ごとに充電される寄生容量列および静的に充電状態にある寄生容量群として記述した解析モデルを用いることにより、デジタル回路内部の電荷再分布過程を含んだ高精度な電源電流波形解析を高速に実行可能なシミュレーション手法を実現できる。

【 0 0 9 0 】

また、上記の電源電流解析装置において、寄生容量列および静的に充電状態にある寄生容量群を電源配線及びグラウンド配線の寄生インピーダンスが局所的に増大する部分を境として分割したセグメント毎に求めてもよく、これにより、さらに解析精度を向上できる。

【 0 0 9 1 】

また、上記の電源電流解析装置において、寄生容量の時系列を求める際の時間間隔を論理ゲート回路のスイッチング動作の発生頻度分布に応じて設定してもよい。これにより解析処理の高速化が図れる。

【 0 0 9 2 】

例えば、時間間隔の長さをスイッチング動作の発生頻度が大きいほど短くなるように設定することにより、解析処理の高速化を図るとともに精度のよい解

析結果が得られる。

【 0 0 9 3 】

また、上記の電源電流解析装置において、充電される寄生容量は被解析デジタル回路に含まれる論理ゲートの入出力容量から求めることができ、容易に寄生容量を求めることができる。

【図面の簡単な説明】

【図 1】 本発明の電源電流解析方法に用いる電源電流解析モデルを説明した図。

【図 2】 (a) 立ち上がり遷移状態にある寄生容量を充電容量と放電容量へ分類した状態を説明した図、(b) 立ち下がり遷移状態にある寄生容量を充電容量と放電容量へ分類した状態を説明した図、(c) 時分割寄生容量列を説明した図。

【図 3】 (a) セグメントを説明するための図、(b) セグメント化された寄生容量列の等価回路を示す図。

【図 4】 本発明に係る電源電流解析方法のフローチャート。

【図 5】 電源電流解析装置の機能ブロック図。

【図 6】 応用例 1 において、本発明の電源電流解析方法を用いたシフトレジスタの基板雑音の波形の解析結果を示した図（電源配線とグラウンド配線の寄生インピーダンスを直列抵抗成分のみとした場合）。

【図 7】 応用例 1 において、基板雑音の実測波形を示した図。

【図 8】 応用例 1 において、本発明の電源電流解析方法を用いたシフトレジスタの基板雑音の波形の解析結果を示した図（電源配線とグラウンド配線の寄生インピーダンスに直列インダクタ成分を含めた場合）。

【図 9】 本発明の電源電流解析を用いる基板雑音解析を応用した、A/D 混載 LSI の対雑音設計最適化のためのフローチャート。

【図 10】 A/D 混載 LSI の一例を説明した図。

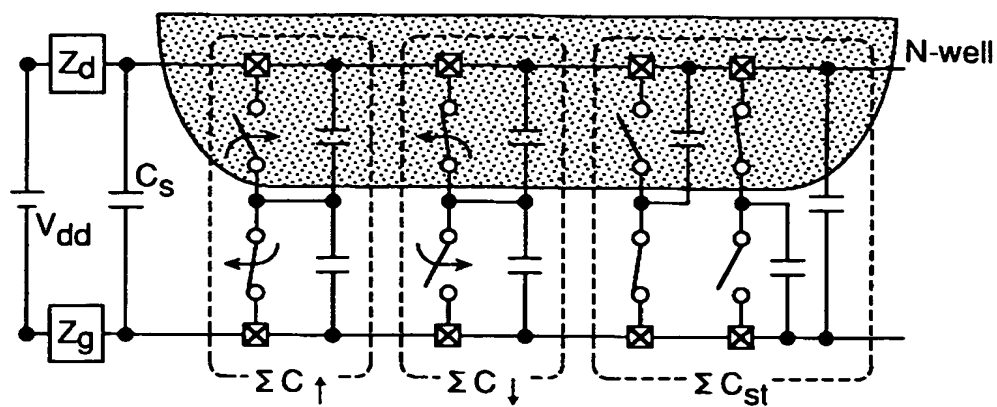
【符号の説明】

1 1 入力部、 1 2 回路ノード接続解析部、 1 3 スイッチング動作記録部、 1 4 時分割寄生容量列モデル生成部、 1 5 電源電流解析部、 2

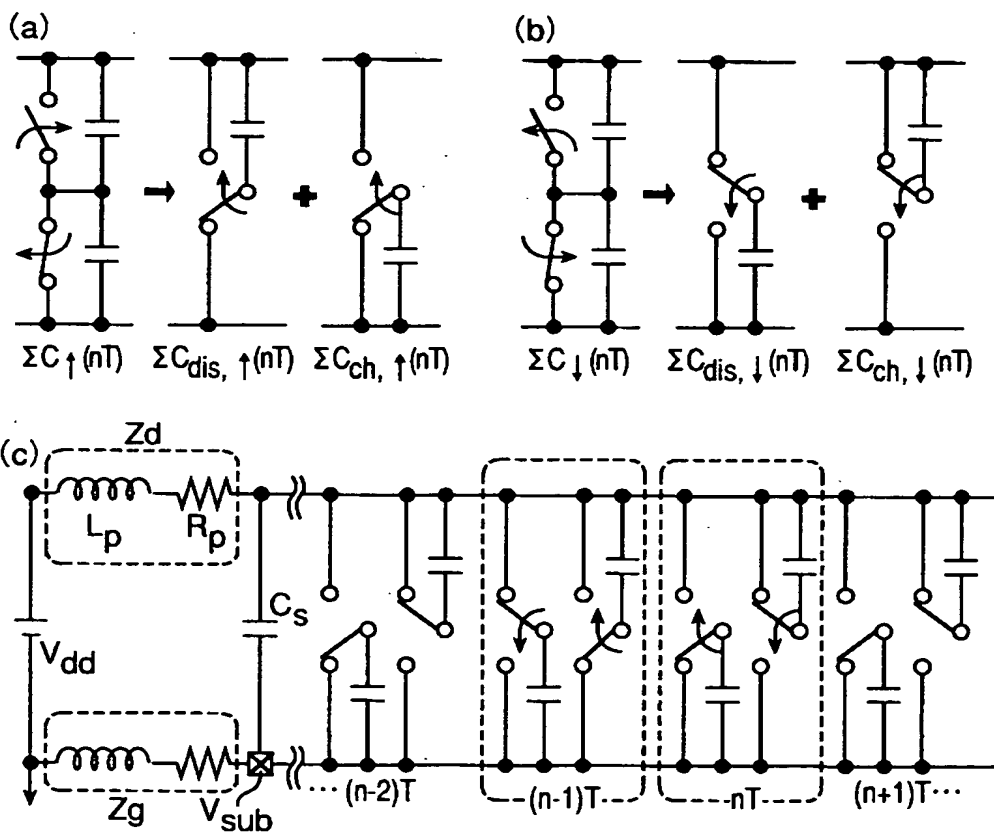
1 負荷容量テーブルの記録手段、 2 3 スイッチング動作記録の記録手段、
2 5 時分割寄生容量列テーブル／ネットリストの記録手段、 $C_{ch, \uparrow}$ 立
ち上がり遷移し且つ充電される容量、 $C_{ch, \downarrow}$ 立ち下がり遷移し且つ充電さ
れる容量、 Z_d 電源配線の寄生インピーダンス、 Z_g グラウンド配線の寄
生インピーダンス。

【書類名】 図面

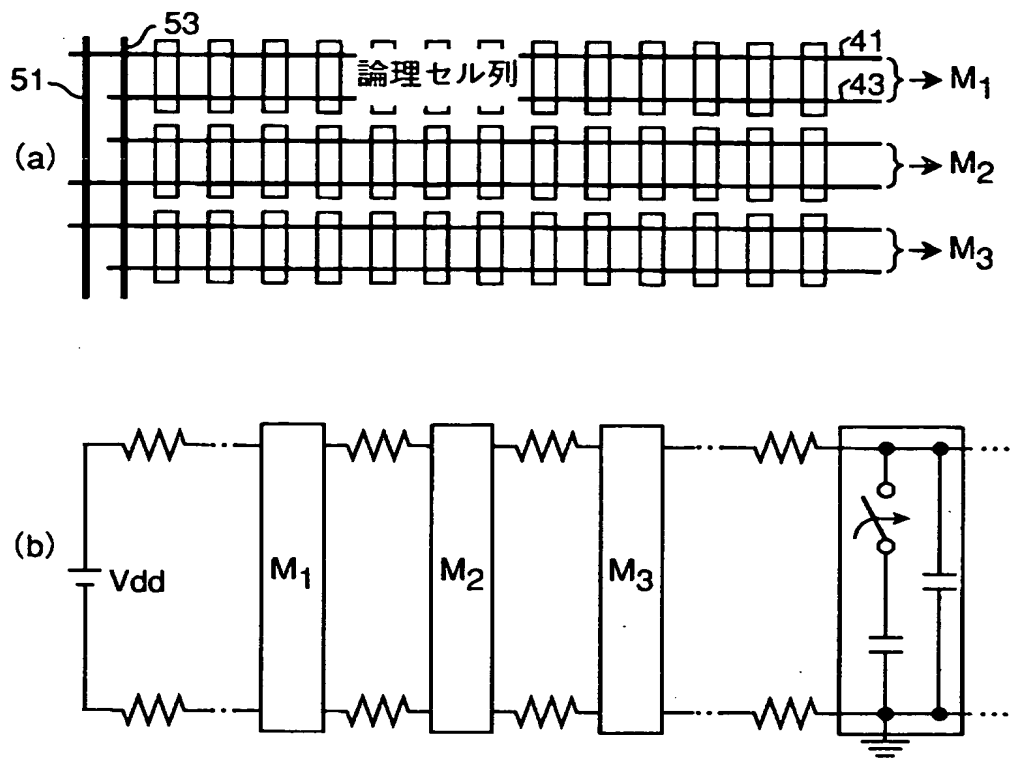
【図 1】



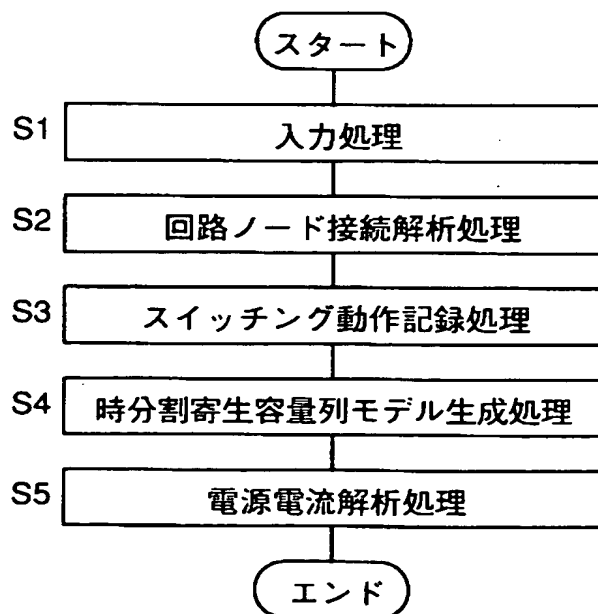
【図 2】



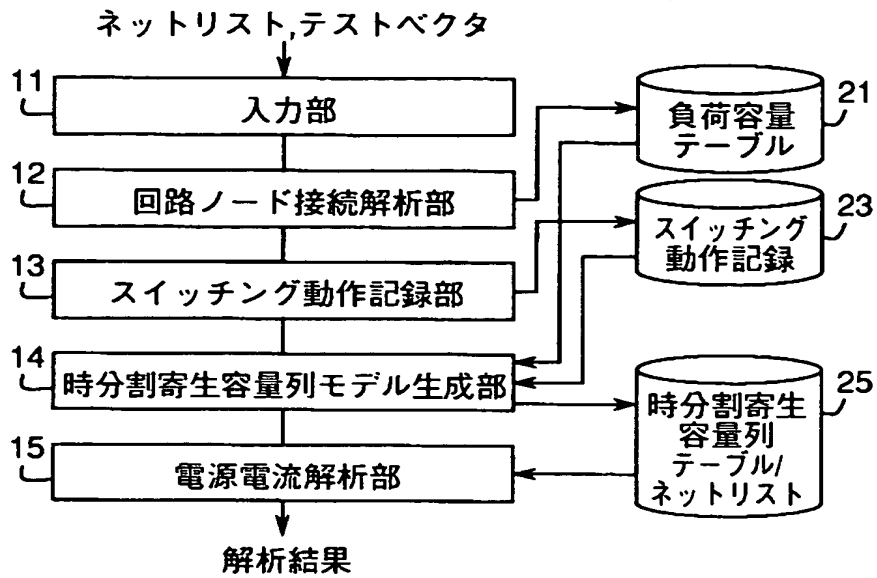
【図 3】



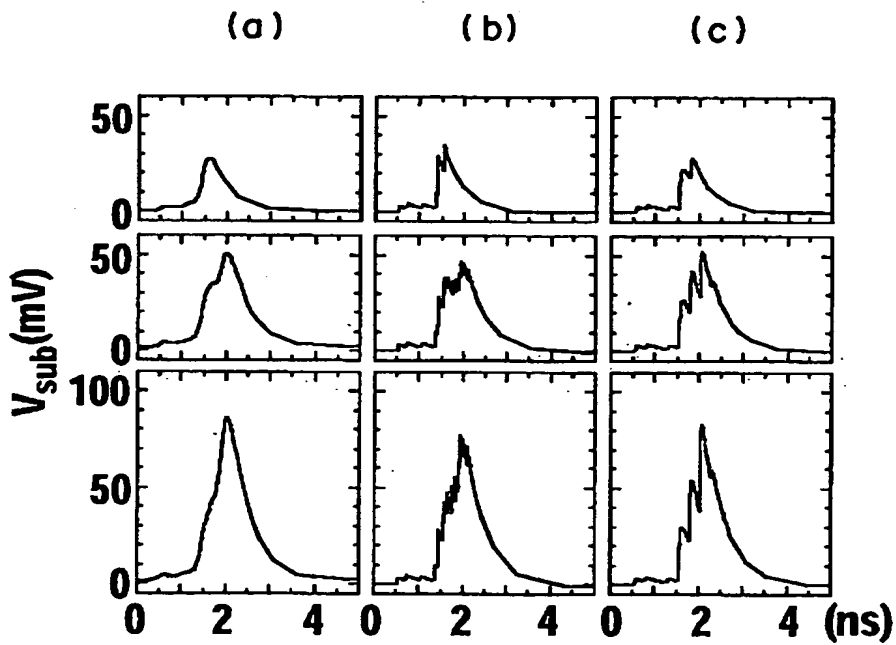
【図 4】



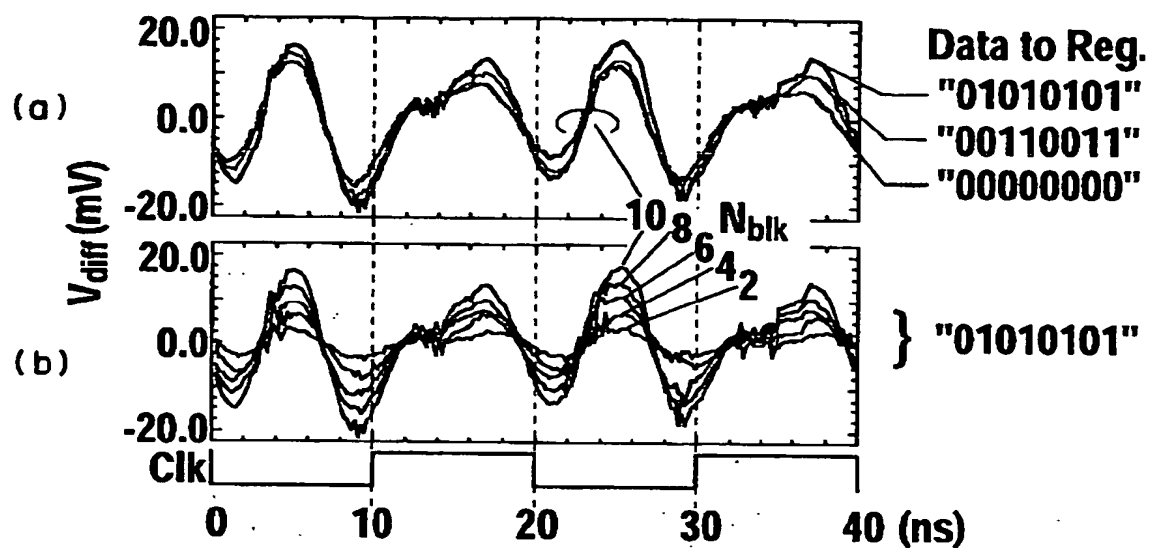
【図 5】



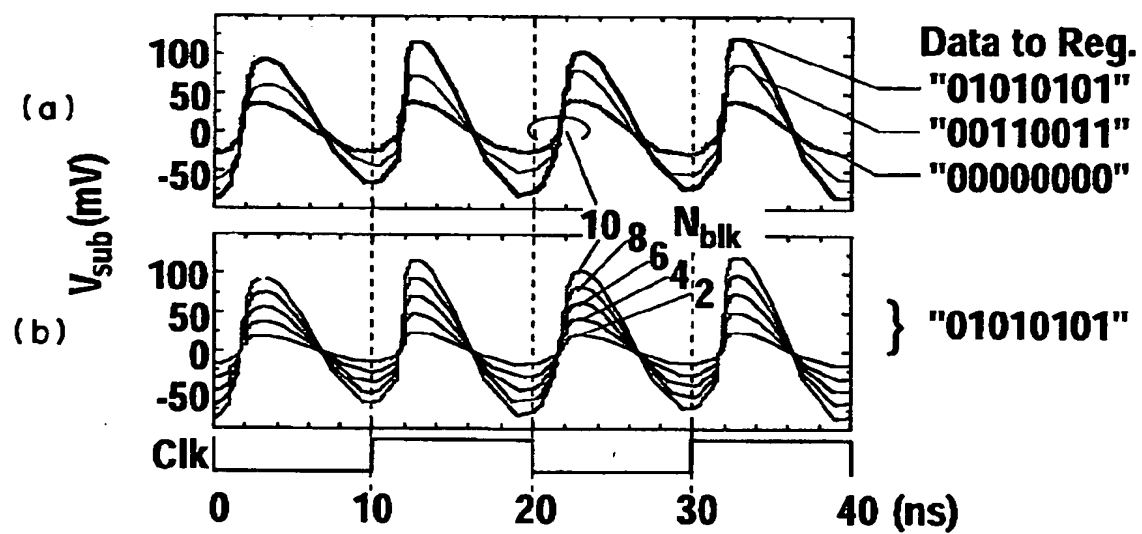
【図 6】



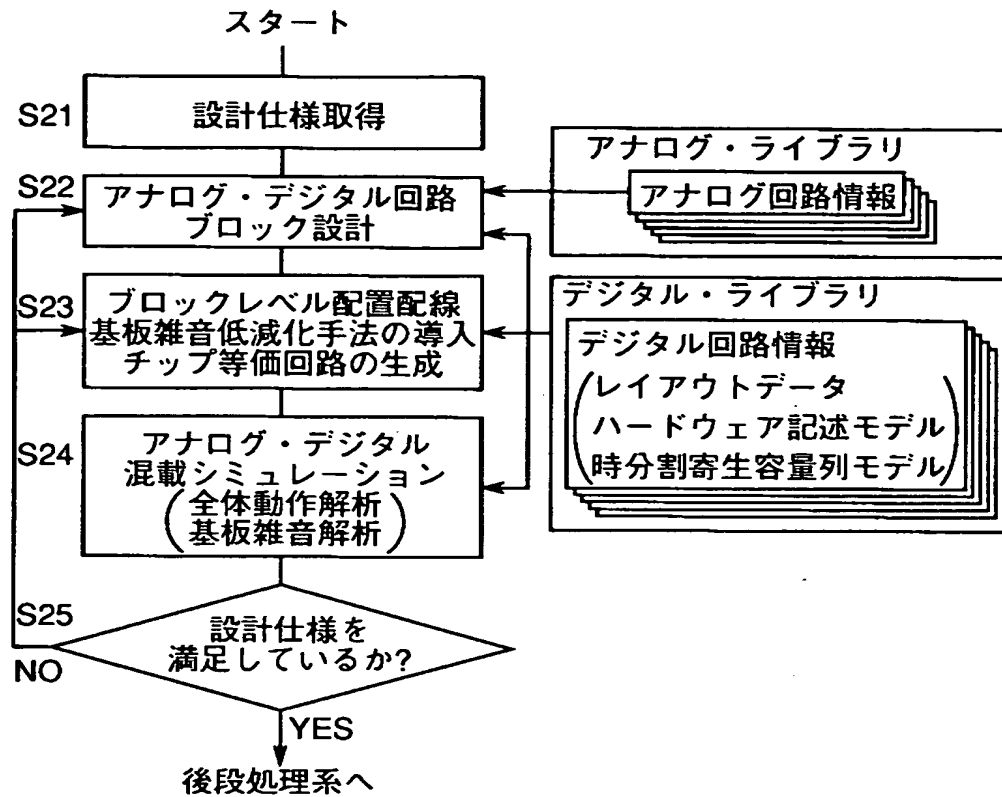
【図 7】



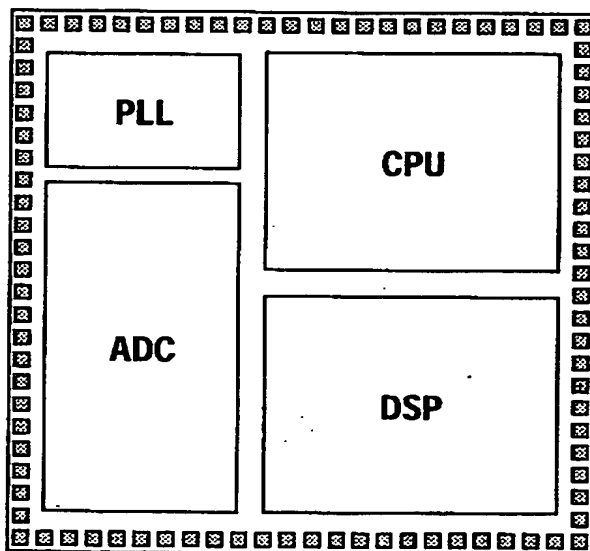
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 デジタル回路を含む半導体集積回路の電源電流を高精度且つ高速に解析可能な解析方法を提供する。

【解決手段】 半導体集積回路におけるデジタル回路内部の電荷再分布過程を考慮した電源電流波形の解析方法であって、被解析デジタル回路を、それが含む論理ゲート回路のスイッチング動作分布に基づいて時系列で求めた電源とグラウンド間に接続されて充電される寄生容量の列 $\Sigma C_{ch, \uparrow}(nT)$ 、 $\Sigma C_{ch, \downarrow}(nT)$ として表現し、さらにその寄生容量列を電源経路及びグラウンド経路のそれぞれの寄生インピーダンス成分 Z_d 、 Z_g と接続して解析モデルを生成し、その回路モデルを用いてデジタル回路の電源電流波形を求める。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [396023993]

1. 変更年月日 1996年10月28日
[変更理由] 新規登録
住 所 東京都港区新橋6丁目16番10号
氏 名 株式会社半導体理工学研究センター

2. 変更年月日 2001年 3月23日
[変更理由] 住所変更
住 所 神奈川県横浜市港北区新横浜3丁目17番地2 友泉新横浜ビ
ル6階
氏 名 株式会社半導体理工学研究センター